



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月16日

出 願 番 号

Application Number:

特願2001-039295

[ST.10/C]:

[JP 2001-039295]

出 願 人

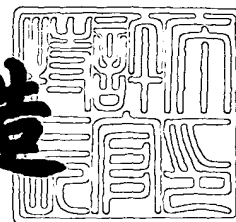
Applicant(s):

三洋電機株式会社

2002年 2月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3004749

1

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 パッド部に構成されるバンプ電極下にビアホールが形成されていないことを特徴とする半導体装置。

【請求項 2】 下層配線を被覆する層間絶縁膜に形成されるビアホールを介して上層配線がコンタクト接続されて成る半導体装置において、

前記ビアホールが、パッド部に構成されるバンプ電極下以外の領域に形成されていることを特徴とする半導体装置。

【請求項 3】 前記バンプ電極下には下層配線が配置されていることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 半導体基板上にゲート酸化膜を介して形成されたゲート電極と、

前記ゲート電極に隣接するように形成されたソース・ドレイン層と、

前記ゲート電極下方に形成され、チャンネルを構成する半導体層と、

前記ソース・ドレイン層にコンタクト接続された下層配線と、

前記下層配線を被覆する層間絶縁膜に形成され、パッド部に構成されるバンプ電極下以外の領域に形成されたビアホールと、

前記ビアホールを介して前記下層配線にコンタクト接続される上層配線とを具備したことを特徴とする半導体装置。

【請求項 5】 前記ゲート電極下方には、前記ソース・ドレイン層に連なり、前記半導体層に接するように当該ソース・ドレイン層と同一導電型の低濃度層が形成されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記ゲート電極下方には、前記ソース・ドレイン層に連なり、前記半導体層に接するように当該ソース・ドレイン層と同一導電型の低濃度層が前記半導体表層に浅く拡張形成されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】 パッド部に構成されるバンプ電極下にビアホールを形成しないことを特徴とする半導体装置の製造方法。

【請求項 8】 下層配線を被覆する層間絶縁膜に形成されるビアホールを介して上層配線がコンタクト接続されて成る半導体装置の製造方法において、

前記下層配線を被覆するように層間絶縁膜を形成する工程と、

前記層間絶縁膜のパッド形成部以外の領域にビアホールを形成した後に当該ビアホールを介して前記下層配線にコンタクトするように前記上層配線を形成する工程と、

パッド部にバンプ電極を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 9】 前記バンプ電極下に下層配線を形成することを特徴とする請求項 7 または請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 一導電型の半導体上にゲート酸化膜を介してゲート電極が形成されて成る半導体装置の製造方法において、

前記半導体内に逆導電型不純物をイオン注入して低濃度の逆導電型ソース・ドレイン層を形成する工程と、

逆導電型不純物をイオン注入することで前記低濃度の逆導電型ソース・ドレイン層に連なる低濃度の逆導電型層を形成する工程と、

逆導電型不純物をイオン注入することで前記低濃度の逆導電型ソース・ドレイン層内に高濃度の逆導電型ソース・ドレイン層を形成する工程と、

一導電型不純物をイオン注入することで前記ゲート電極下方に前記逆導電型層を分断する一導電型ボディ層を形成する工程と、

前記ゲート電極を被覆する層間絶縁膜を介して前記ソース・ドレイン層にコンタクト接続する下層配線を形成する工程と、

前記下層配線を被覆するように層間絶縁膜を形成した後に当該層間絶縁膜のパッド部に構成されるバンプ電極下以外の領域にビアホールを形成する工程と、

前記ビアホールを介して前記下層配線にコンタクト接続する上層配線を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、パンプ電極の形成に関する。

【0002】

【従来の技術】

以下、従来の半導体装置とその製造方法について図面を参照しながら説明する。

【0003】

図12及び図13において、1は半導体基板で、当該基板1上にLOCOS酸化膜から成る絶縁膜2が形成され、この絶縁膜2上に下層配線3が形成されている。

【0004】

また、前記下層配線3を被覆するように層間絶縁膜4が形成され、この層間絶縁膜4に形成されたビアホール5を介して前記下層配線3にコンタクトするように上層配線6が形成されている。

【0005】

そして、前記上層配線6を被覆するようにパッシベーション膜7が形成され、このパッシベーション膜7が開口されて成るパッド部7Aに金パンプ電極8が形成されている。

【0006】

【発明が解決しようとする課題】

ここで、上記パッド部にビアホール5があると、このビアホール5の表面段差が、金パンプ電極8の表面にも残ってしまう。そのため、金パンプ電極8の表面段差により、例えば、TAB (Tap Automated Bonding)等の実装ポイントへの実装時の歩留まり低下の原因となっていた。

【0007】

特に、例えば0.35 μ m等の微細化プロセスで各種トランジスタを構成する場合、各ビアホール（コンタクト孔）の寸法は最小寸法が適用されるため、パッド部の開口径も微細な複数個のビアホールから構成されることになる。そのため、上記金パンプ電極8の表面のように表面段差が残ってしまう。

【 0 0 0 8 】

【課題を解決するための手段】

そこで、本発明の半導体装置は上記課題に鑑み為されたもので、下層配線を被覆する層間絶縁膜に形成されるビアホールを介して上層配線がコンタクトされて成るものにおいて、前記ビアホールが、パッド部に構成されるバンプ電極下以外の領域に形成されていることを特徴とする。

【 0 0 0 9 】

また、前記バンプ電極下には下層配線が配置されていることを特徴とする。

【 0 0 1 0 】

そして、その製造方法は、前記下層配線を被覆するように層間絶縁膜を形成し、この層間絶縁膜のパッド形成部以外の領域にビアホールを形成した後に、当該ビアホールを介して前記下層配線にコンタクトするように前記上層配線を形成し、更に、パッド部にバンプ電極を形成する工程とを具備したことを特徴とする。

【 0 0 1 1 】

これにより、前記パッド部に構成されるバンプ電極下には、ビアホールが形成されないため、バンプ電極表面の平坦化が図れる。

【 0 0 1 2 】

また、前記バンプ電極下にも下層配線が配置させることで、パッド部周辺の平坦性を損なうことはない。

【 0 0 1 3 】

更に、本発明の半導体装置は、一導電型の半導体上にゲート酸化膜を介して形成されたゲート電極と、前記ゲート電極に隣接するように形成されたソース・ドレイン層と、前記ゲート電極下方に形成され、チャネルを構成する半導体層と、前記ソース・ドレイン層にコンタクト接続された下層配線と、前記下層配線を被覆する層間絶縁膜に形成され、パッド部に構成されるバンプ電極下以外の領域に形成されたビアホールと、前記ビアホールを介して前記下層配線にコンタクト接続される上層配線とを具備したことを特徴とする。

【 0 0 1 4 】

そして、その製造方法は、一導電型の半導体内に逆導電型不純物をイオン注入

して低濃度の逆導電型ソース・ドレイン層を形成する工程と、逆導電型不純物をイオン注入することで前記低濃度の逆導電型ソース・ドレイン層に連なる低濃度の逆導電型層を形成する工程と、逆導電型不純物をイオン注入することで前記低濃度の逆導電型ソース・ドレイン層内に高濃度の逆導電型ソース・ドレイン層を形成する工程と、一導電型不純物をイオン注入することで前記ゲート電極下方に前記逆導電型層を分断する一導電型ボディ層を形成する工程と、前記ゲート電極を被覆する層間絶縁膜を介して前記ソース・ドレイン層にコンタクト接続する下層配線を形成する工程と、前記下層配線を被覆するように層間絶縁膜を形成した後、当該層間絶縁膜のパッド部に構成されるパンプ電極下以外の領域にビアホールを形成する工程と、前記ビアホールを介して前記下層配線にコンタクト接続する上層配線を形成する工程とを具備したことを特徴とする。

【 0 0 1 5 】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について、本発明を液晶駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置に適用した実施形態について図面を参照しながら説明する。

【 0 0 1 6 】

上記液晶駆動用ドライバは、図10(a)の左側からロジック系の(例えば、3V)Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフタ用の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、図10(b)の左側から低オン抵抗化が図られた高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Pチャネル型MOSトランジスタ、及び低オン抵抗化が図られた高耐圧系の(例えば、30V)Pチャネル型MOSトランジスタで構成される。尚、説明の便宜上、上記高耐圧系のMOSトランジスタと低オン抵抗化が図られた高耐圧系のMOSトランジスタとを差別化するため、以下の説明では低オン抵抗化が図られた高耐圧系のMOSトランジスタをSLED(Slit channel by counter doping with extended shallow drain)MOSトランジスタと呼称する。

【0017】

このような液晶駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置では、図10に示すように上記高耐圧系のPチャネル型MOSトランジスタと上記低オン抵抗化が図られた高耐圧系のPチャネル型SLED MOSトランジスタが構成されるN型ウエル23が段差高部となり、その他の各種MOSトランジスタが構成されるP型ウエル22が段差低部に構成される。言い換えれば、微細なロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタが段差低部に配置されるように構成されている。

【0018】

以下、上記半導体装置の製造方法について説明する。

【0019】

先ず、図1において、各種MOSトランジスタを構成するための領域を画定するために、例えばP型の半導体基板（P-sub）21内にP型ウエル（PW）22及びN型ウエル（NW）23をLOCOS法を用いて形成する。即ち、図示した説明は省略するが、前記基板21のN型ウエル形成領域上にパッド酸化膜及びシリコン窒化膜を形成し、当該パッド酸化膜及びシリコン窒化膜をマスクにして、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して、イオン注入層を形成する。その後、前記シリコン窒化膜をマスクに基板表面をLOCOS法によりフィールド酸化してLOCOS膜を形成する。このとき、LOCOS膜形成領域下にイオン注入されていたボロンイオンが基板内部に拡散されてP型層が形成される。

【0020】

次に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記LOCOS膜をマスクに基板表面にリンイオンをおよそ80KeVの加速電圧で、 $9 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してイオン注入層を形成する。そして、前記LOCOS膜を除去した後に、前記基板に注入された各不純物イオンを熱拡散させて、P型ウエル及びN型ウエルを形成することで、図1に示すように前記基板21内に形成されるP型ウエル22は段差低部に配置され、N型ウエル23は段

差高部に配置される。

【0021】

そして、図2において、各MOSトランジスタ毎に素子分離するため、およそ500nm程度の素子分離膜24をLOCOS法により形成し、この素子分離膜24以外の活性領域上におよそ80nm程度の高耐圧用の厚いゲート酸化膜25を熱酸化により形成する。

【0022】

続いて、レジスト膜をマスクにして第1の低濃度のN型及びP型のソース・ドレイン層（以下、LN層26、LP層27と称す。）を形成する。即ち、先ず、不図示のレジスト膜でLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLN層26を形成する。その後、レジスト膜（PR）でLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ120KeVの加速電圧で、 $8.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLP層27を形成する。尚、実際には後工程のアニール工程（例えば、1100℃のN₂雰囲気中で、2時間）を経て、上記イオン注入された各イオン種が熱拡散されてLN層26及びLP層27となる。

【0023】

続いて、図3において、Pチャネル型及びNチャネル型SLED MOSトランジスタ形成領域に形成された前記LN層26間及びLP層27間にレジスト膜をマスクにしてそれぞれ第2の低濃度のN型及びP型のソース・ドレイン層（以下、SLN層28及びSLP層29と称す。）を形成する。即ち、先ず、不図示のレジスト膜でSLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $1.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LN層26に連なるSLN層28を形成する。その後、レジスト膜（PR）でSLP層形成領域上以外の領域を被覆した状態で基板表層に、例えば二フッ化ボロンイオン（ $^{49}\text{BF}_2^+$ ）をおよそ140KeVの加速電圧で、 $2.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LP層27に連なるSLP層29を形成する。尚、前記LN層26と前記SLN層28または

前記LP層27と前記SLP層29の不純物濃度は、ほぼ同等であるか、どちらか一方が高くなるように設定されている。

【0024】

更に、図4において、レジスト膜をマスクにして高濃度のN型及びP型のソース・ドレイン層（以下、N+層30、P+層31と称す。）を形成する。即ち、先ず、不図示のレジスト膜でN+層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ80KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してN+層30を形成する。その後、レジスト膜（PR）でP+層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してP+層31を形成する。

【0025】

次に、図5において、前記SLN層28及びSLP層29の形成用のマスク開口径（図3参照）よりも細い開口径を有するレジスト膜をマスクにして前記LN層26に連なるSLN層28の中央部及び前記LP層27に連なるSLP層29の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該SLN層28及びSLP層29を分断するP型ボディ層32及びN型ボディ層33を形成する。即ち、先ず、不図示のレジスト膜でP型層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ120KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してP型ボディ層32を形成する。その後、レジスト膜（PR）でN型層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ190KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してN型ボディ層33を形成する。尚、上記図3～図5に示すイオン注入工程に関する作業工程順は、適宜変更可能なものであり、前記P型ボディ層32及びN型ボディ層33の表層部にチャネルが構成される。

【0026】

更に、図6において、前記通常耐圧用の微細化Nチャネル型及びPチャネル型MOSトランジスタ形成領域の基板（P型ウエル22）内に第2のP型ウエル（

SPW) 34 及び第2のN型ウエル (SNW) 35を形成する。

【0027】

即ち、前記通常耐圧のNチャネル型MOSトランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウエル22内に、例えばボロンイオンをおよそ190 KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の第1の注入条件でイオン注入後、同じくボロンイオンをおよそ50 KeVの加速電圧で、 $2.6 \times 10^{12} / \text{cm}^2$ の第2の注入条件でイオン注入して、第2のP型ウエル34を形成する。また、前記通常耐圧用のPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜 (PR) をマスクにして前記P型ウエル22内に例えばリンイオンをおよそ380 KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、第2のN型ウエル35を形成する。尚、380 KeV程度の高加速電圧発生装置が無い場合には、2価のリンイオンをおよそ190 KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入するダブルチャージ方式でも良い。続いてリンイオンをおよそ140 KeVの加速電圧で、 $4.0 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。

【0028】

次に、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上とレベルシフト用のNチャネル型MOSトランジスタ形成領域上の前記ゲート酸化膜25を除去した後に、図7に示すように、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【0029】

即ち、先ず、全面にレベルシフト用のNチャネル型MOSトランジスタ用におよそ14 nm程度 (この段階では、およそ7 nm程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が増大する。) のゲート酸化膜36を熱酸化により形成する。続いて、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に形成された前記レベルシフト用のNチャネル型MOSトランジスタのゲート酸化膜36を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜37 (およそ7 nm程度) を熱酸化により形成する。

【0030】

続いて、図8において、全面におよそ100nm程度のポリシリコン膜を形成し、このポリシリコン膜に POCl_3 を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ100nm程度のタングステンシリサイド膜、更にはおよそ150nm程度の SiO_2 膜を積層し、不図示のレジスト膜を用いてパターンニングして各MOSトランジスタ用のゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを形成する。尚、前記 SiO_2 膜は、パターンニング時のハードマスクとして働く。

【0031】

続いて、図9において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層を形成する。

【0032】

即ち、先ず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ20KeVの加速電圧で、 $6.2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のN型ソース・ドレイン層39を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するレジスト膜(PR)をマスクにして、例えば二フッ化ボロンイオンをおよそ20KeVの加速電圧で、 $2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のP型ソース・ドレイン層40を形成する。

【0033】

更に、図10において、全面に前記ゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを被覆するようにおよそ250nm程度のTEOS膜41をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜(PR)をマスクにして前記TEOS膜41を異方性エッチングする。これにより、図10に示すように前記ゲート電極38A, 38Bの両側壁部にサイドウォールスペーサ膜41Aが形成され、前記レジスト膜(PR)で被覆された領域にはTEOS膜41がそのまま残る。

【0034】

そして、前記ゲート電極38Aとサイドウォールスペーサ膜41A並びに、前記ゲート電極38Bとサイドウォールスペーサ膜41Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソース・ドレイン層を形成する。

【0035】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばヒ素イオンをおよそ100KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のN+型ソース・ドレイン層42を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばニフツ化ボロンイオンをおよそ40KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のP+型ソース・ドレイン層43を形成する。

【0036】

以下、図示した説明は省略するが、全面にTEOS膜及びBP SG膜等からなるおよそ600nm程度の層間絶縁膜を形成した後に、前記各高濃度のソース・ドレイン層30、31、42、43にコンタクトする金属配線層を形成することで、前記液晶駆動用ドライバを構成する通常耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧用のNチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSトランジスタが完成する。

【0037】

ここで、本発明の特徴は、下層配線を被覆する層間絶縁膜に形成されるビアホールを介して上層配線がコンタクトされて成るものにおいて、前記ビアホールが、パッド部に構成されるバンプ電極下には形成しないことで、バンプ電極表面の

平坦化を可能にしたことである。

【0038】

また、前記バンプ電極下にも下層配線を形成しておくことで、パッド部周辺の平坦性を損なわないようにしたことである。

【0039】

以下、本発明の半導体装置の構成について図11を参照しながら説明する。尚、図11ではNチャネル型SLED MOSトランジスタに本発明を適用した一例を紹介するが、他のトランジスタに対しても同様に形成されている。

【0040】

図11において、前記Nチャネル型SLED MOSトランジスタのソース・ドレイン層30（図11では、ドレイン側の構成については省略してある。）上に層間絶縁膜45に形成した第1のコンタクト孔46を介して1層配線47が形成され、当該1層配線47上に第2のコンタクト孔48を介して2層配線49が形成され、当該2層配線49上にビアホール50を介して3層配線51が形成されている。

【0041】

そして、前記ビアホール50が形成された領域から離れた領域に延在した当該3層配線51上のパッシベーション膜52を開口して形成されたパッド部に金バンプ電極53が形成されている。

【0042】

このとき、上記3層配線51は電源ラインとなるため幅広に形成されており、このような幅広な配線51とコンタクト接続する場合には、コンタクト抵抗を下げる目的で広いコンタクト孔を開口する必要があるが、例えば $0.35\mu\text{m}$ 等の微細化プロセスで各種トランジスタを構成する場合、各ビアホール（コンタクト孔）の寸法は最小寸法が適用されるため、パッド部の開口径も微細な複数のビアホールから構成されることになる。そのため、従来（図12）のように金バンプ電極8下に複数の微細なビアホール5を有すると当該金バンプ電極8の表面に段差が残ってしまう。

【0043】

そこで、本発明ではパッド部に形成される金バンプ電極 5 3 下にはビアホール 5 0 を形成せず、当該金バンプ電極 5 3 から離れた領域にビアホール 5 0 を形成するようにしたことで、従来のような金バンプ電極表面にビアホールの表面段差が反映されることがない。従って、金バンプ電極 5 3 の表面段差による T A B 等への実装時の歩留まり低下を抑制することができる。

【 0 0 4 4 】

即ち、本実施形態のように液晶駆動用ドライバを構成する各トランジスタを 0 . 3 5 μ m プロセスで構成した場合に、各ビアホール（コンタクト孔）の寸法は最小寸法が適用されるため、パッド部の開口径も従来の（図 1 2 及び図 1 3 に示す）ように微細な複数個のビアホール 5 から構成されることになる。そのため、本発明では微細化プロセスにおいてバンプ電極下にビアホールを形成しないことで、バンプ電極表面の平坦化を可能にしている。

【 0 0 4 5 】

更に言えば、上層配線（前記 3 層配線 5 1）とコンタクトしないパッド部下の領域にも下層配線（前記 2 層配線 4 9 もしくは前記 2 層配線 4 9 と前記 1 層配線 4 7）を形成しておくことで、このパッド部周辺において当該下層配線がないことにより段差が発生することがなく、平坦性を損なうことがない、

尚、本実施形態では 3 層配線構造を有する半導体装置に適用した例を紹介したが、更に多層構造の半導体装置に適用するものであっても良い。

【 0 0 4 6 】

【発明の効果】

本発明によれば、パッド部に形成されるバンプ電極下にビアホールを形成しないようにしたため、バンプ電極表面の平坦化が図れる。

【 0 0 4 7 】

また、上層配線とコンタクトしないパッド部下の領域にも下層配線を形成しておくことで、パッド部周辺の平坦性を損なうことがない。

【図面の簡単な説明】

【図 1】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 2】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 3】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 4】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 5】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 6】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 7】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 8】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 9】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 1 0】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 1 1】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 1 2】

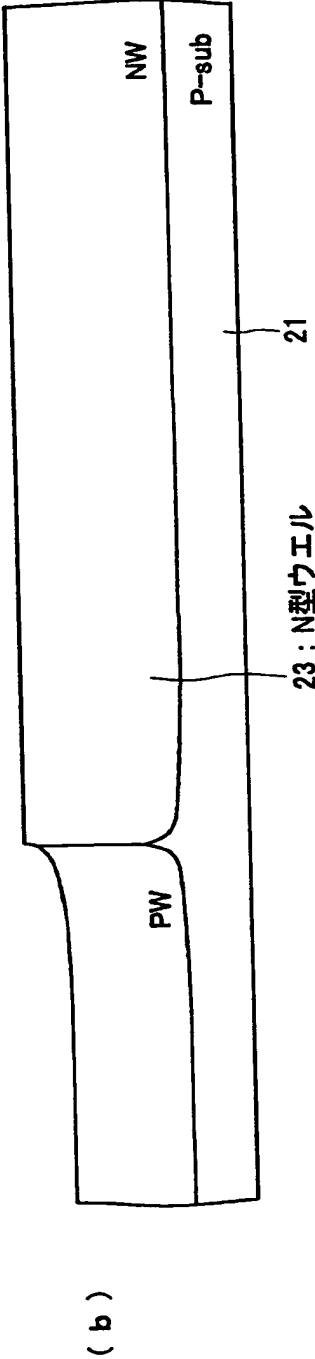
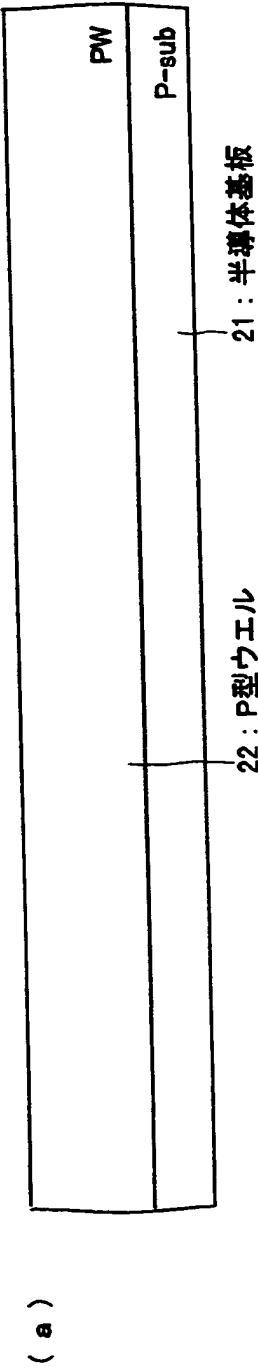
従来の半導体装置の製造方法を示す断面図である。

【図 1 3】

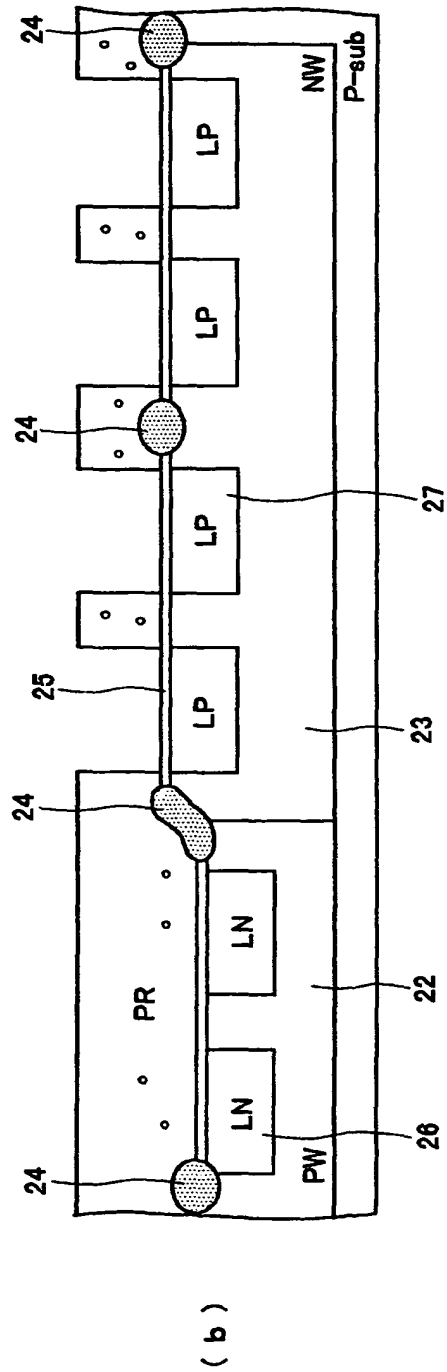
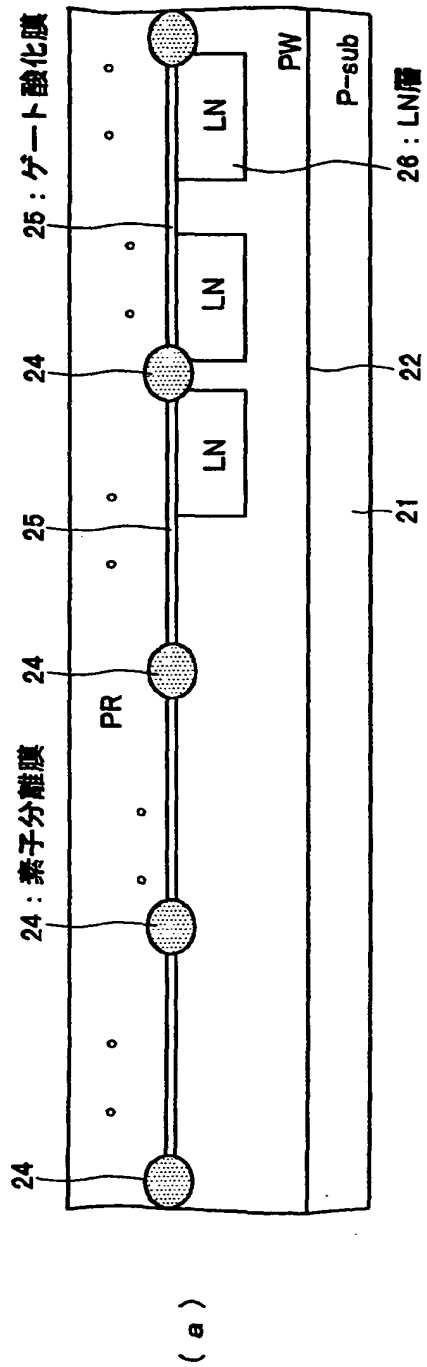
従来の半導体装置の製造方法を示す平面図である。

【書類名】 図面

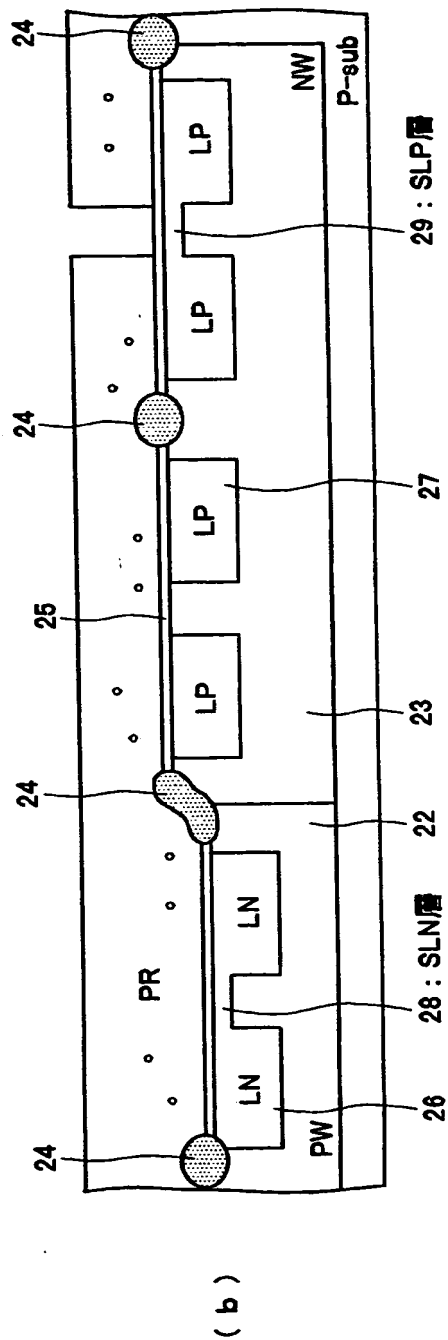
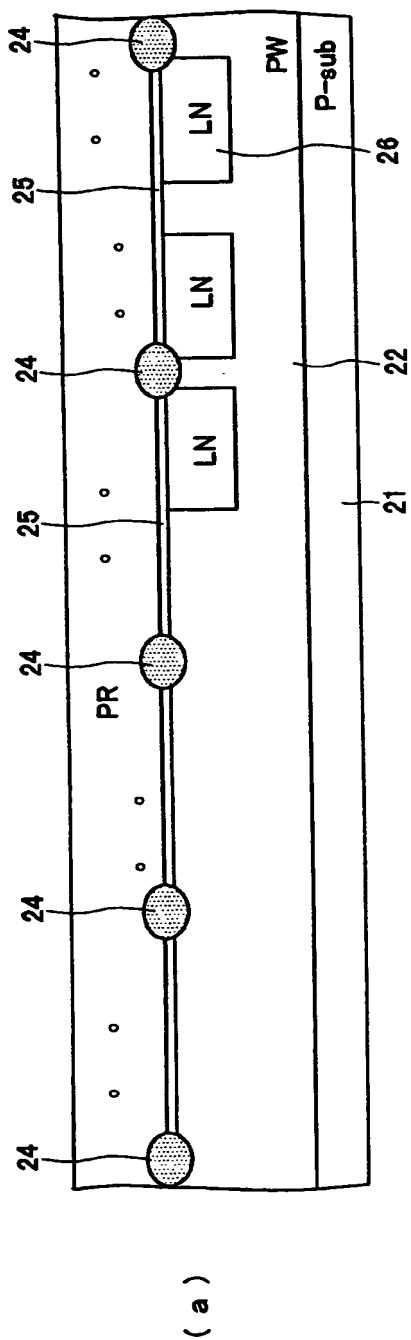
【図 1】



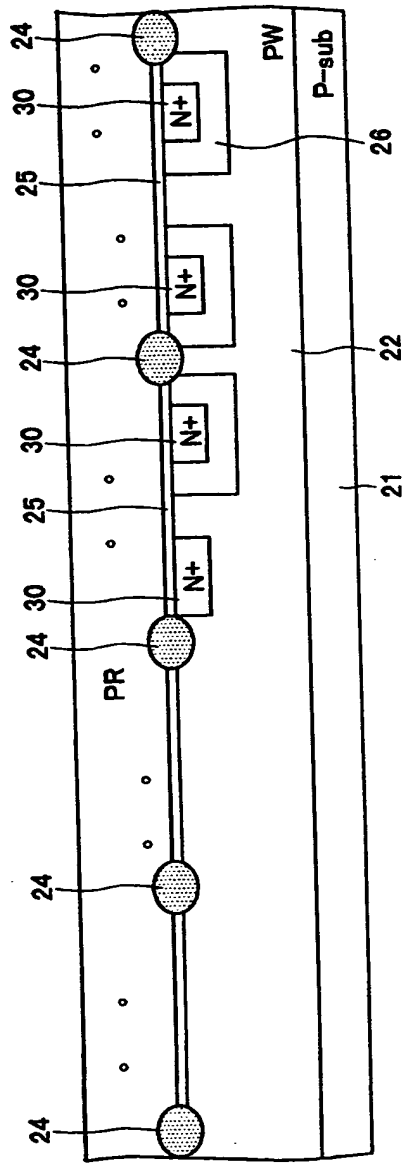
【図2】



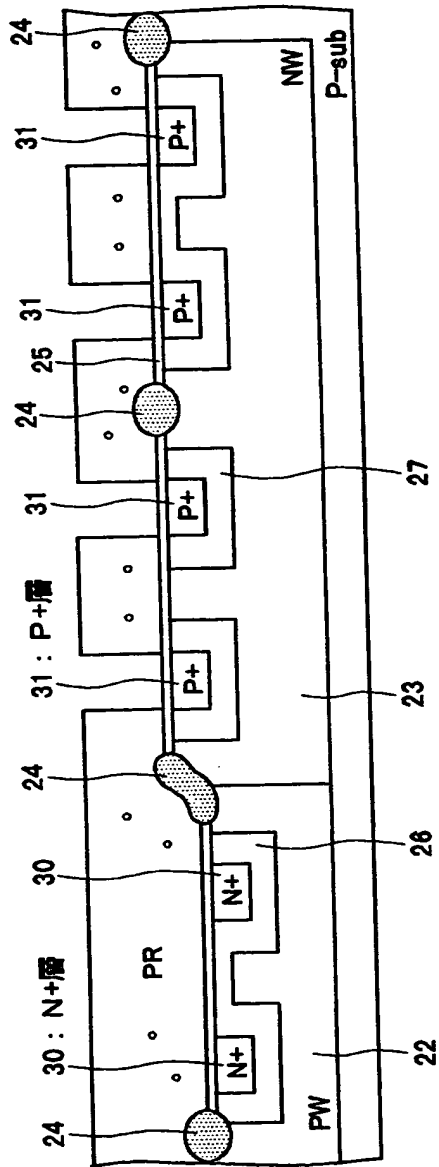
【図 3】



【図4】

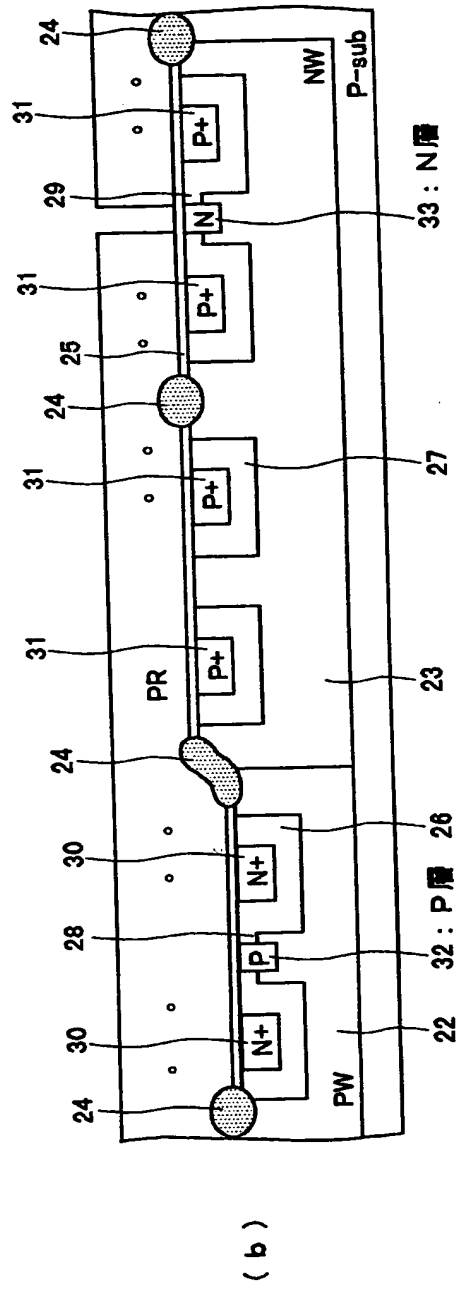
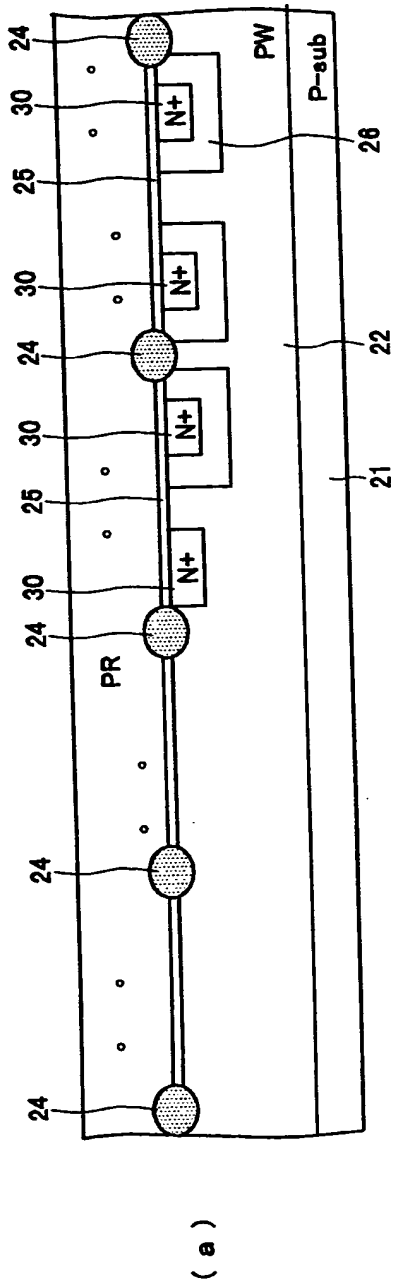


(a)

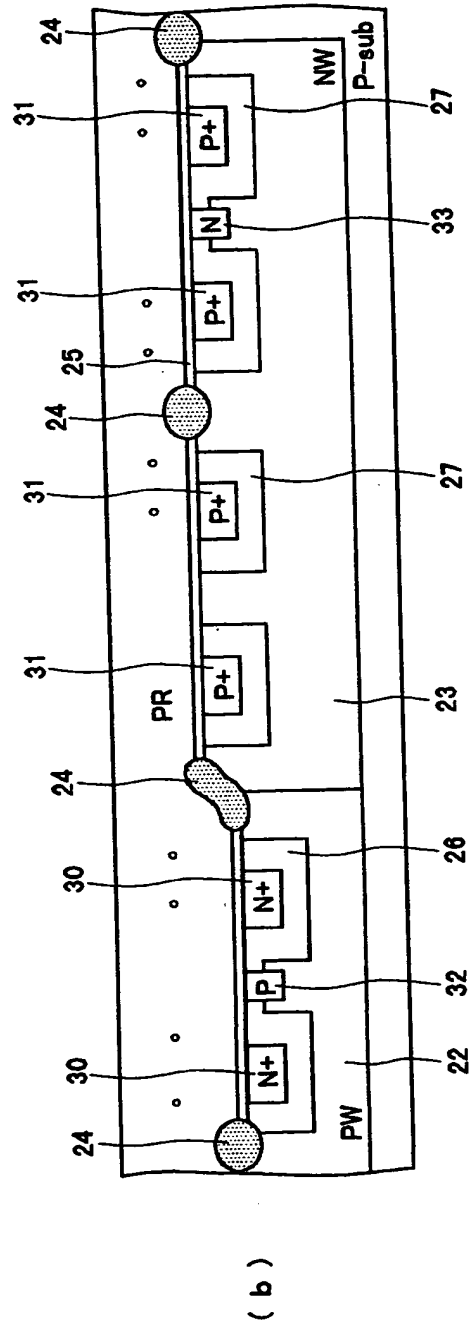
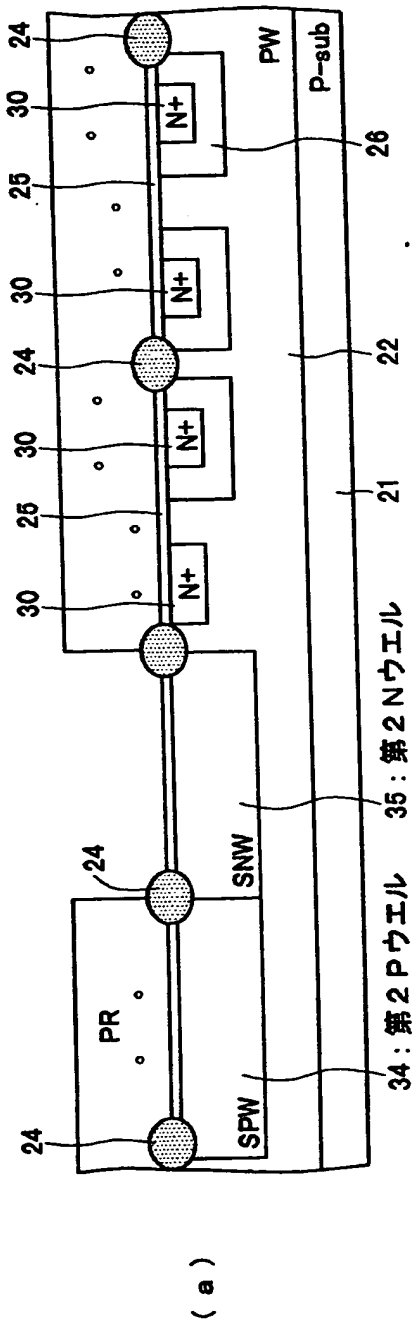


(१)

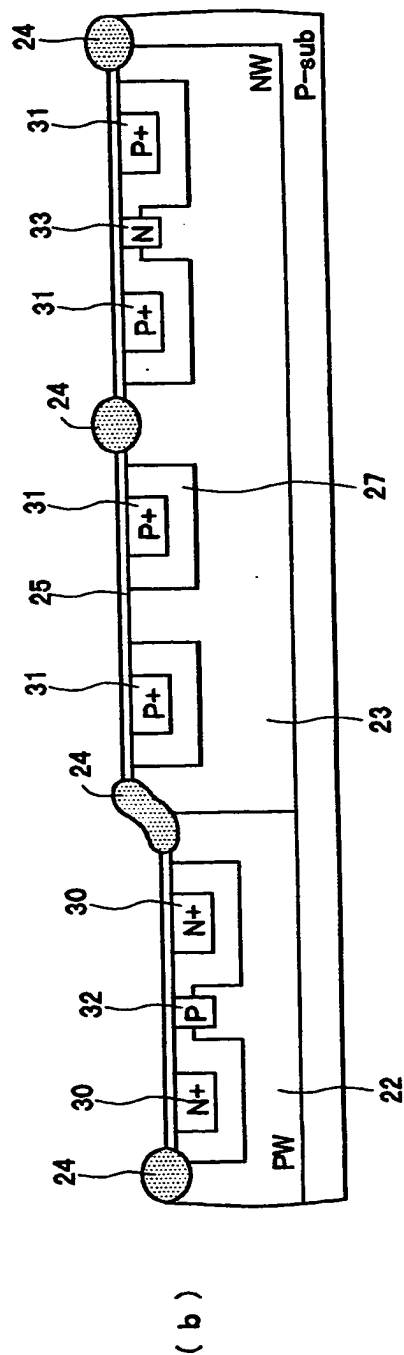
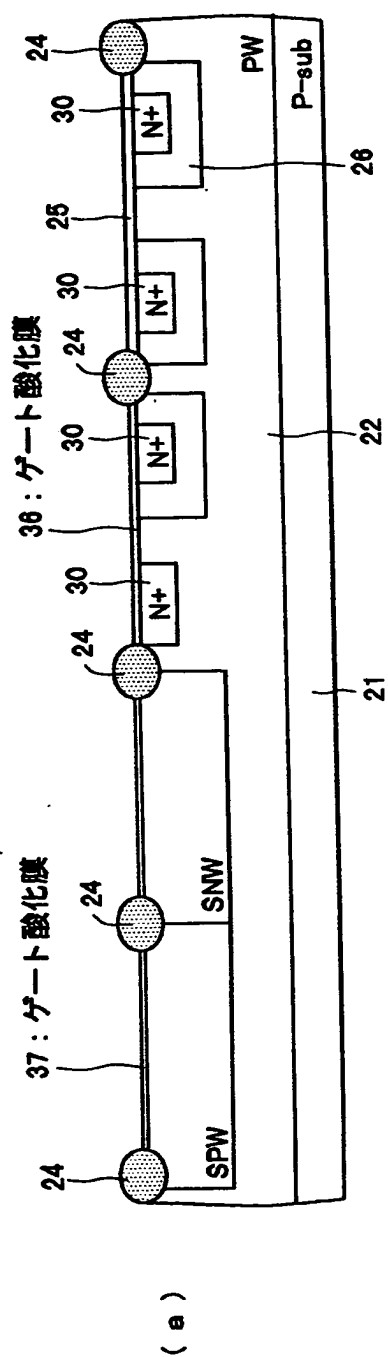
【図 5】



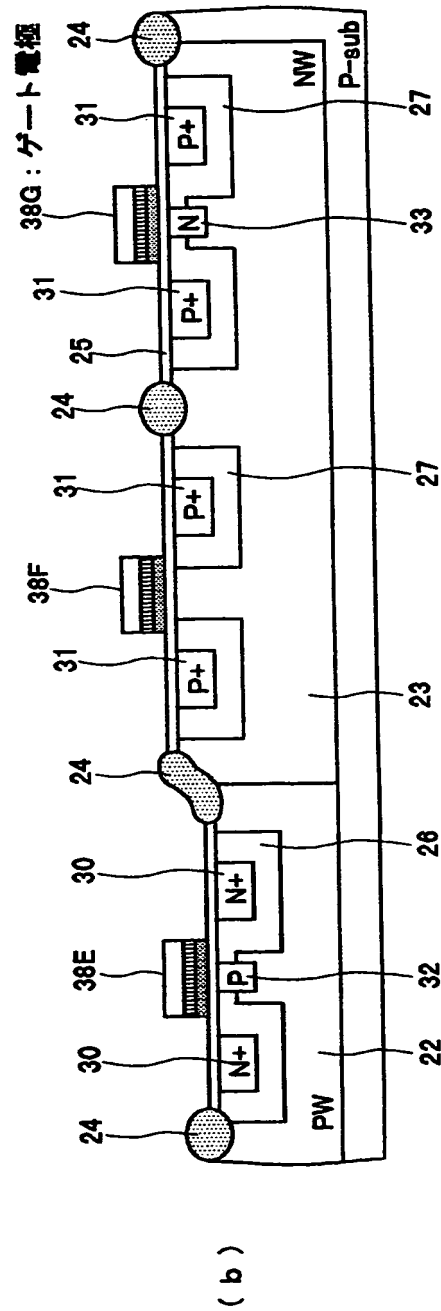
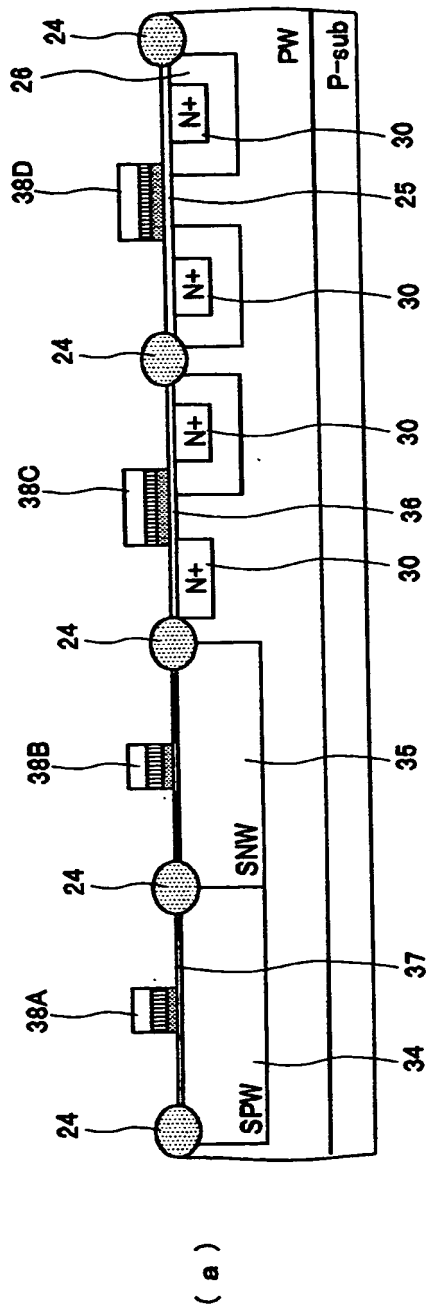
【図6】



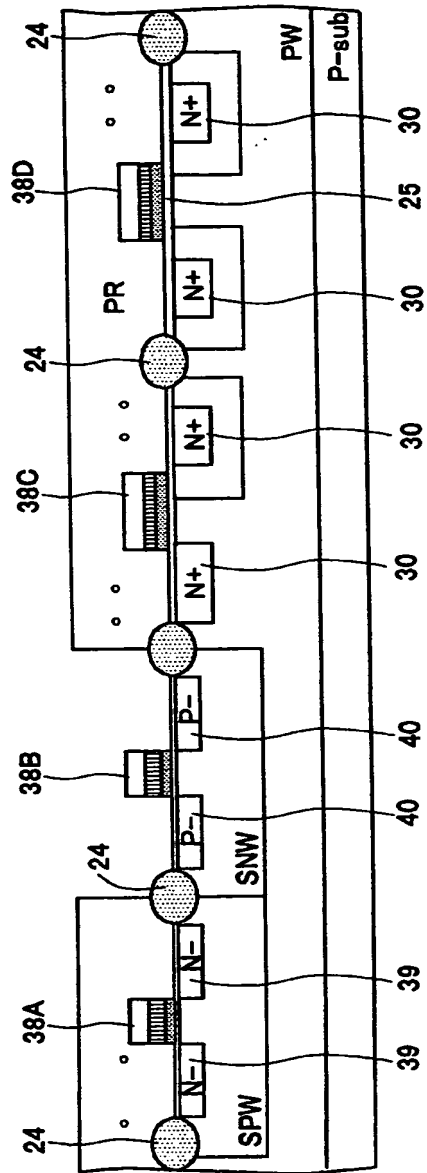
【図 7】



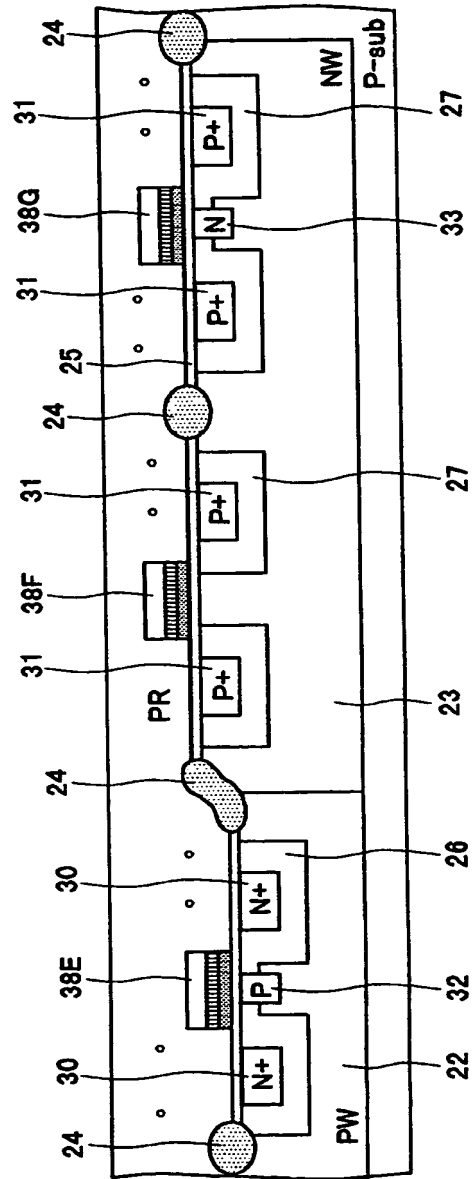
【図 8】



【圖 9】

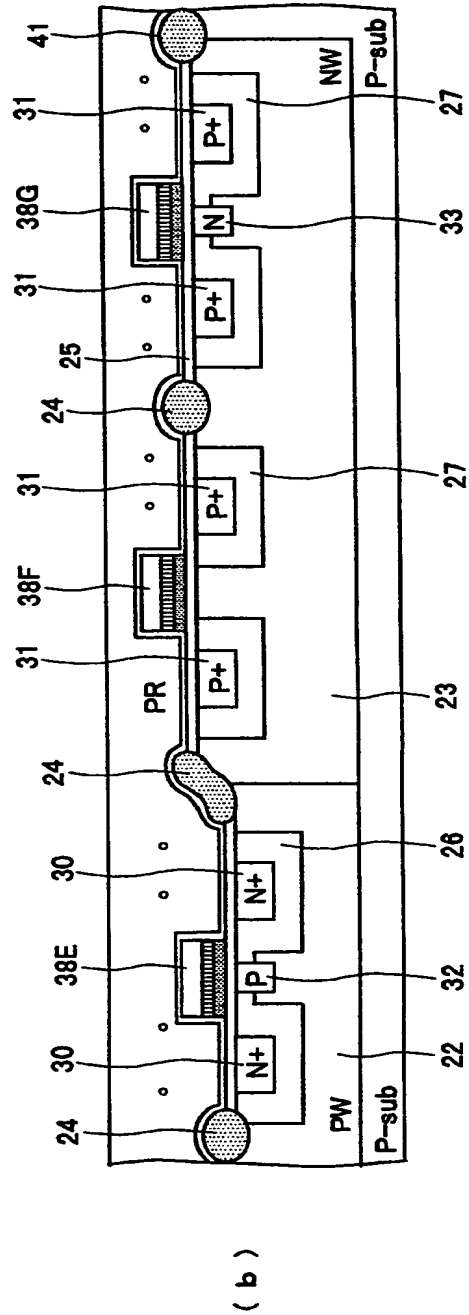
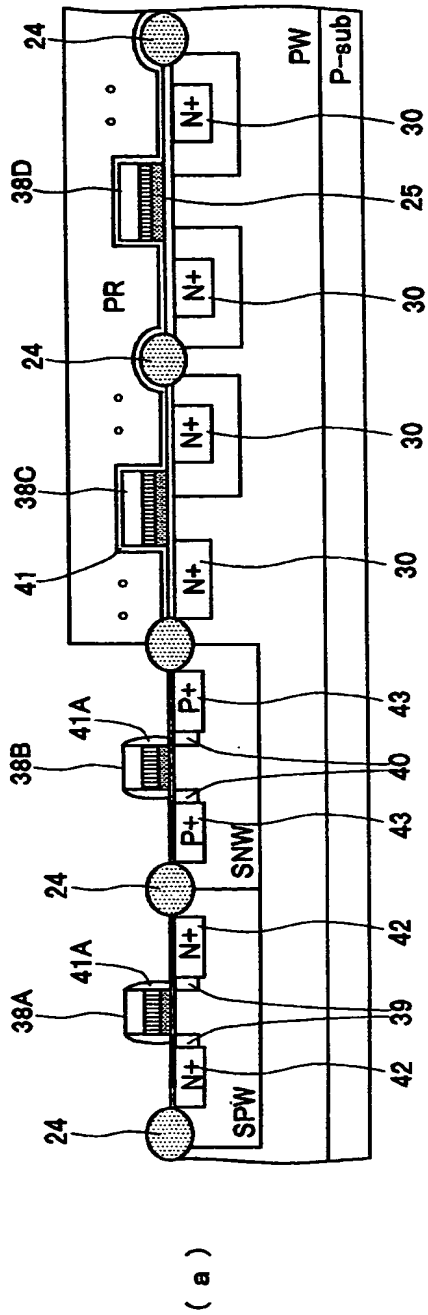


(B)

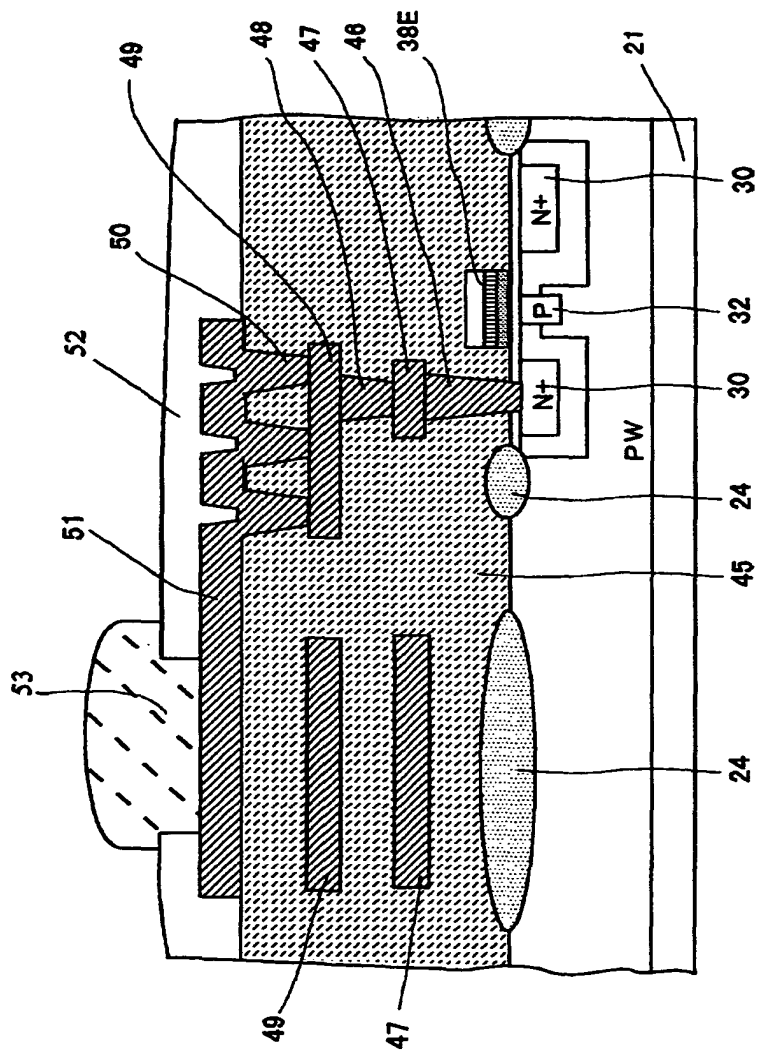


(९)

【図10】

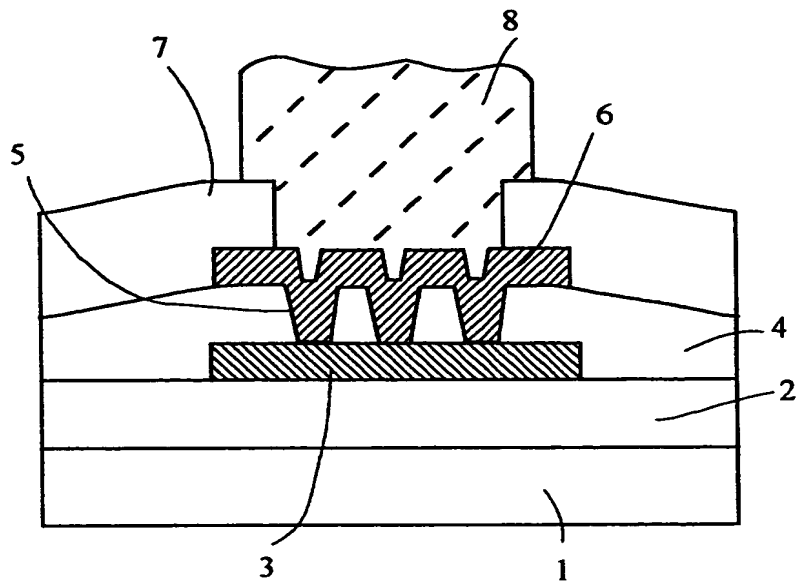


【圖 1 1】

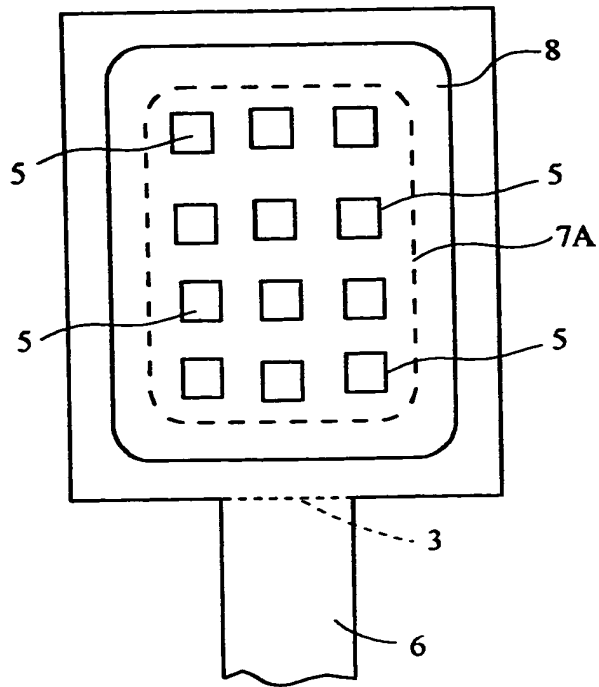


45: 層間絶縁膜 46: 第1のコンタクト孔 47: 1層配線
48: 第2のコンタクト孔 49: 2層配線 50: ピアホール
51: 3層配線 52: パッシベーション膜 53: 金バンプ電極

【図 1 2】



【図13】



【書類名】 要約書

【要約】

【課題】 バンプ電極表面の平坦化を図る。

【解決手段】 下層配線（２層配線）４９を被覆する層間絶縁膜４５に形成されるビアホール５０を介して上層配線（３層配線）５１がコンタクトされて成る半導体装置において、前記ビアホール５０が、パッド部に構成される金バンプ電極５３下以外の領域に形成されていることを特徴とする。

【選択図】 図１１

出 願 人 履 歴 情 報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通2丁目5番5号

氏 名

三洋電機株式会社

US 100761540BP1



Creation date: 08-08-2003
Indexing Officer: HTON1 - HUAN TON
Team: OIPEBackFileIndexing
Dossier: 10076154

Legal Date: 08-10-2002

No.	Doccode	Number of pages
1	CTRS	5

Total number of pages: 5

Remarks:

Order of re-scan issued on